

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-152553

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 J 3/00

H 8226-5K

H 0 4 B 7/26

1 0 9 N 7304-5K

H 0 4 L 27/20

C 9297-5K

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平4-294507

(22)出願日 平成4年(1992)11月2日

(71)出願人 000000572

アンリツ株式会社

東京都港区南麻布5丁目10番27号

(72)発明者 本間 裕二

東京都港区南麻布五丁目10番27号 アンリツ株式会社内

(72)発明者 小見山 貞治

東京都港区南麻布五丁目10番27号 アンリツ株式会社内

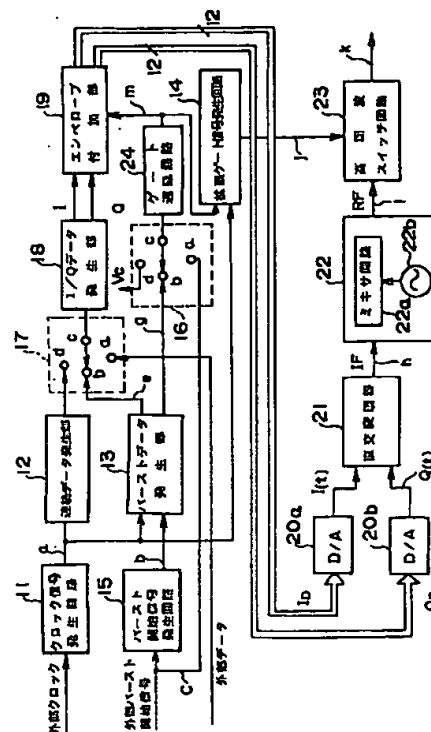
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 バースト信号発生装置

(57)【要約】

【目的】 TDMA通信におけるバースト信号kにおいて、高いオン/オフ比を維持した状態で、このバースト信号kの周波数帯域幅Wを極力狭くして、隣接チャネルに対する電力漏洩を防止する。

【構成】 エンベロープ付加部19において、バーストデータ発生部13から出力されたバーストデータeを分離したベースバンドデータI、Qの先端部及び終端部の各ビットデータの振幅データを漸増及び漸減させるエンベロープ処理を実施している。さらに、周波数変換回路22から出力される高周波の直交変調信号iをオン/オフ制御する高周波スイッチ回路23の導通時間 T_G をバーストデータeの継続時間 T_S に等しく設定している。



1

【特許請求の範囲】

【請求項1】 一定周期で繰返される伝送フレーム内の予め割当てられたタイムスロット(1)の開始を示すバースト開始信号入力に忠動して、前記タイムスロット内に収納するバーストデータを出力し、かつI/Qゲート信号を生成するバーストデータ発生部(13)と、このバーストデータ発生部から出力されたバーストデータを一对のベースバンドデータに変換するI/Qデータ発生部(18)と、このI/Qデータ発生部から出力された各ベースバンドデータの先端部及び後端部の所定ビット数の各振幅データを漸増及び漸減させるエンベロープ付加部(19)と、このエンベロープ付加部にてエンベロープ付加された各ベースバンドデータをアナログの各ベースバンド信号に変換するD/A変換器(20a, 20b)と、このD/A変換器から出力された各ベースバンド信号を直交変調する直交変調器(21)と、この直交変調器から出力された直交変調信号を高周波の搬送周波数信号で振幅変調する周波数変換回路(22)と、前記I/Qゲート信号を前記I/Qデータ発生部における信号遅延分だけ遅延させるゲート遅延回路(24)と、このゲート遅延回路から出力された遅延ゲート信号を後方に所定ビット数だけ拡張した拡張ゲート信号を生成する拡張ゲート信号発生回路(14)と、前記周波数変換回路から出力された高周波の直交変調信号を前記拡張ゲート信号印加期間のみ通過させてバースト信号として出力する高周波スイッチ回路(23)とを備えたバースト信号発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はTDMA(時分割多重多元)通信に用いられるバースト信号を出力するバースト信号発生装置に関する。

【0002】

【従来の技術】一般に、JDC(日本デジタル自動車電話)、ADC(米国デジタル自動車電話)、GSM(欧州デジタル自動車電話)、JDC-T(日本デジタルコードレス自動車電話)等における通信方式としてTDMA(時分割多重多元)通信が採用されている。

【0003】このTDMA通信においては、固定局と複数の各移動局との間でデータ送受信が実施される。この場合、図8に示すように、各移動局は一定周期 T_F で繰返される伝送フレーム内の自己に指定されたタイムスロット1内に、自己局から固定局又はこの固定局を介して他の局へ送信すべきデータを組込んで送信する。

【0004】さらに、各移動局に割当てられた一定時間幅 T_S を有するタイムスロット1内には例えば合計240ビットのデータが設定される。具体的には、図示するように、4ビットの過渡応答用ランプタイムR、2ビットのスタートシンボルSS、6ビットのプリアンプルPR、16ビットの同期ワードUW、4ビットのチャンネル種別CI、16ビットのSACCH(同期割当制御)

2

チャンネルSA、160ビットの伝送すべきデータが設定される情報(テキスト)チャンネルTCH、16ビットの巡回符号CRC、4ビットの過渡応答用ランプタイムR、12ビットのガードタイムGが設定される。

【0005】このように一定周期 T_F で繰返す伝送フレーム内に間欠的に割付けられたタイムスロット1に組込まれるデータはバーストデータ2と言われる。このようなバーストデータ2を遠方に送信する場合は、図9に示すように、高周波の搬送周波数信号で変調して、バースト信号3として電波放出する。

【0006】各移動局からそれぞれ自己に割当てられた各タイムスロット1内に組込まれた各バースト信号3は固定局で受信される。この場合、固定局は各伝送フレーム内に割付けられた各タイムスロット1の各バースト信号3を混信しないで受信可能である。固定局は、受信した各バースト信号3を元のバーストデータ2に復調して、このバーストデータ2内の情報チャンネルTCHのデータを抽出する。

【0007】また、バースト信号発生装置においては、最終出力段にタイムスロットの継続時間 T_S に同期してオン/オフ制御される高周波スイッチ回路が挿入されている。このような高周波スイッチ回路を設けることによって、自己に割当てられたタイムスロット1の継続間 T_S 以外に信号が漏れることがないので、他局のタイムスロット1内のバーストデータ2に対する悪影響が未然に防止される。

【0008】言い換えれば、バースト信号3におけるオン期間 T_S とオフ期間($T_F - T_S$)との電力比で示されるオン/オフ比が上昇するので、固定局において、各移動局からのバースト信号3を受信する場合のS/Nが上昇する。

【0009】

【発明が解決しようとする課題】しかしながら、上述したようなバースト信号を出力するバースト信号発生装置においても、ただ単に高周波スイッチ回路を用いてバーストデータでもって変調された高周波の搬送波をオン/オフ制御するのみの場合は、その高周波スイッチ回路における高速オン/オフ動作により、バースト信号3の周波数占有帯域幅が大幅に拡大する問題が生じる。

【0010】以下、その問題点を具体的に説明する。

【0011】図10(a)、(b)は同一搬送周波数 f_c を有する連続信号4とバースト信号3を示す波形図である。また、図10(c)は連続信号4の周波数特性図であり、図10(d)はバースト信号3の周波数特性図である。

【0012】ピークレベルから規定値(A dB)低下した位置におけるバースト信号3の周波数帯域 W_B は、連続信号4の周波数帯域 W_C に比較して格段に広いことが理解できる。これは、バースト信号3がタイムスロット1の開始及び終了時刻において、信号レベルが急峻

に立上がり、また急峻に立下がるからである。

【0013】このように、バースト信号3の周波数帯域幅 W_B が広いと、このバースト信号3に隣接する他の搬送周波数を有するバースト信号3に影響を及ぼす。すなわち、隣接チャンネルに対する漏洩電力が増大する。したがって、隣接する搬送周波数の間隔を広げる必要があるため、電波の周波数帯域を有効に利用できない問題が生じる。

【0014】本発明はこのような事情に鑑みてなされたものであり、バーストデータ発生部から出力されるバーストデータの先端部及び終端部の各ビットデータの振幅データを漸増及び漸減させることによって、出力されるバースト信号の周波数占有帯域幅を大幅に低減でき、隣接チャンネルに対する漏洩電力を極力抑制できるバースト信号発生装置を提供することを目的とする。

【0015】

【課題を解決するための手段】上記課題を解消するため本発明のバースト信号発生装置においては、一定周期で繰返される伝送フレーム内の予め割当てられたタイムスロットの開始を示すバースト開始信号入力に応動して、タイムスロット内に収納するバーストデータを出力し、かつI/Qゲート信号を生成するバーストデータ発生部と、このバーストデータ発生部から出力されたバーストデータを一对のベースバンドデータに変換するI/Qデータ発生部と、このI/Qデータ発生部から出力された各ベースバンドデータの先端部及び後端部の所定ビット数の各振幅データを漸増及び漸減させるエンベロープ付加部と、このエンベロープ付加部にてエンベロープ付加された各ベースバンドデータをアナログの各ベースバンド信号に変換するD/A変換器と、このD/A変換器から出力された各ベースバンド信号を直交変調する直交変調器と、この直交変調器から出力された直交変調信号を高周波の搬送周波数信号で振幅変調する周波数変換回路と、I/Qゲート信号をI/Qデータ発生部における信号遅延分だけ遅延させるゲート遅延回路と、このゲート遅延回路から出力された遅延ゲート信号を後方に所定ビット数だけ拡張した拡張ゲート信号を生成する拡張ゲート信号発生回路と、周波数変換回路から出力された高周波の直交変調信号を拡張ゲート信号印加期間のみ通過させてバースト信号として出力する高周波スイッチ回路とが備えられている。

【0016】

【作用】このように構成されたバースト信号発生装置であれば、バーストデータ発生部から出力される規定ビット長を有したバーストデータは次のI/Qデータ発生部によって、並列の一对のベースバンドデータに変換される。そして、この一对のベースバンドデータはエンベロープ付加部へ入力される。

【0017】このエンベロープ付加部は、入力された各ベースバンドデータの先端部及び後端部の所定ビット数

の各振幅データを漸増及び漸減させる。したがって、ベースバンドデータにおける開始時点から例えば4ビット等の所定ビット数経過するまでの期間に対応する各振幅データは順次増加し、所定ビット数経過した後は一定振幅データとなり、終了時点の手前所定ビット数位置から終了位置までの期間に対応する各振幅データは順次減少する。したがって、このエンベロープ付加部から出力されるベースバンドデータの各振幅データは台形形状を有する。

10 【0018】エンベロープ付加部によって、上述したようにエンベロープ付加されたデジタルのベースバンドデータはD/A変換器でアナログのベースバンド信号に変換される。そして、各ベースバンド信号は直交変調器で直交変調される。直交変調器から出力された直交変調信号は周波数変換回路で高周波の搬送周波数を有した信号に変換される。

20 【0019】一方、バーストデータ発生部はバーストデータ発生と同時にI/Qゲート信号を生成する。このI/Qゲート信号はゲート遅延回路によってI/Qデータ発生部におけるバーストデータが一对のベースバンドデータに変換される過程で生じる信号遅延分だけ遅延されて遅延ゲート信号になる。さらに、この遅延ゲート信号は次の拡張ゲート信号発生回路によって後方に所定ビット数だけ拡張された拡張ゲート信号となる。

30 【0020】高周波スイッチ回路は拡張ゲート信号の印加時間のみ直交変調信号を通過させる。この場合、通過時間はI/Qデータ発生部で生成されエンベロープ付加部でエンベロープ付加され、かつD/A変換器でアナログに変換されたベースバンドの継続時間を含むので、この高周波スイッチ回路によって、台形のエンベロープ特性を有したバースト状の直交変調信号の先端部及び後端部が遮断されることはない。したがって、このバースト信号発生装置から出力されるバースト信号において、急峻な立上り及び急峻な立下りが生じることはない。

【0021】

【実施例】以下本発明の一実施例を図面を用いて説明する。

40 【0022】図1は実施例のバースト信号発生装置の概略構成を示すブロック図である。クロック信号発生回路11はデータ伝送速度に対応する周期 T_C を有するクロック信号aを連続データ発生部12、バーストデータ発生部13及び拡張ゲート信号発生回路14へ送出する。なお、外部クロックが印加されていると、クロック信号aをこの外部クロックに同期させる。

50 【0023】バースト開始信号発生回路15は、図8に示した一定周期 T_F 毎に、タイムスロット1の立上りを示すバースト開始信号bを次のバーストデータ発生部13へ送出する。なお、外部バースト開始信号cが印加されている場合には、バースト開始信号発生回路15はこの外部バースト開始信号cに同期してバースト開始信

5

号bを出力する。また、外部バースト開始信号cは切換回路16の端子aに印加される。

【0024】連続データ発生部12は図8に示したバーストデータでなく、例えば図10(a)に示す連続信号4に対応する連続データを発生して、切換回路17の端子dへ印加する。バーストデータ発生部13は、バースト開始信号bが入力する毎に、図8で示したフォーマットのうちデータが存在しない最終の12ビットのガードタイムGを除去したフォーマットを有するバーストデータeを作成して切換回路17の端子bへ印加する。

【0025】さらに、バーストデータ発生部13は、図7に示すように、バースト開始信号b入力時刻よりタイムスロット継続時間から過渡応答用ランプタイムRとガードタイムGとを加算した16ビット出力時間だけ短くした期間だけハイ(H)レベルとなるI/Qゲート信号gを切換回路16の端子bへ送出する。

【0026】通常、各切換回路16、17の共通端子cは端子bに接続されている。切換回路17を介してバーストデータ発生部13から入力されたバーストデータeは、I/Q信号発生部18において例えば12ビット構成の一对のベースバンドデータI、Qに変換された後、エンベロープ付加部19へ入力される。

【0027】また、切換回路16を経由したI/Qゲート信号gはゲート遅延回路24へ入力される。このゲート遅延回路24は、I/Qデータ発生部18におけるバーストデータeをベースバンドデータI、Qに変換する場合に発生する遅延時間を補償するために、I/Qゲート信号gを例えば2ビット等の所定ビット遅延させて遅延ゲート信号mとしてエンベロープ付加部19へ印加する。

【0028】I/Qデータ発生部18及びエンベロープ付加部19は例えば図2に示すように構成されている。

【0029】バーストデータ発生部13からI/Qデータ発生部18へ入力された図8に示すビット構成を有したバーストデータeは、直列/並列変換回路18aによって、2系統のバーストデータ e_1 、 e_2 に分離される。分離された2系統の各バーストデータ e_1 、 e_2 は、次の差動符号化回路18bにおいて、前述したJDC、JDCT、ADC等の指定する差動符号化規則に基づいて差動符号化される。なお、実際には上述したJDC、JDCT、ADCは同一の差動符号化規則を採用しているので、1種類の差動符号化規則に基づいて差動符号化される。

【0030】差動符号化された各バーストデータ e_1 、 e_2 は次のナイキスト/ルートナイキストフィルタ回路18cへ入力される。このナイキスト/ルートナイキストフィルタ回路18cは、高変調精度と隣接チャンネル漏洩電力の低減を図るために、内部に、十分なタップ長を有するFIRフィルタが組込まれている。そして、0.35~0.50まで4種類のロールオフ率 α を有した各フィル

6

タを使分け可能に構成されている。このデジタルフィルタを通過した各バーストデータ e_1 、 e_2 はそれぞれベースバンドデータI、QとしてI/Qデータ発生部18から出力される。

【0031】I/Qデータ発生部18から出力された各ベースバンドデータI、Qは次のエンベロープ付加部19へ入力される。エンベロープ付加部19は、図2に示すように、一对の振幅制御用メモリ19a、19bと1個のアップ/ダウンカウンタ19cとで構成されている。

【0032】各振幅制御用メモリ19a、19bは同一構成であり、入力された12ビット構成の各ベースバンドデータI、Qは、それぞれの下位アドレスに印加される。また、各振幅制御用メモリ19a、19bの上位アドレスにはアップ/ダウンカウンタ19cの計数値CNが印加される。

【0033】アップ/ダウンカウンタ19cはバーストデータeの継続期間 T_S から最終の過渡応答用ランプタイムRに相当する4ビット出力時間だけ短くした期間ハイ(H)レベルとなる遅延ゲート信号mが立上るとクロック信号aのクロックのカウントアップ動作を開始し、4ビット等の予め定められた規定ビット数(クロック数)のカウント動作が終了すると、その計数値CNを維持する。そして、バーストデータeの継続期間 T_S の終了の4ビット手前で遅延ゲート信号mが立下ると、計数値のカウントダウン動作を開始する。そして、バーストデータeの継続期間 T_S が終了するとカウント動作を停止する。

【0034】すなわち、アップ/ダウンカウンタ19cから出力される計数値CNは、バーストデータeの継続期間 T_S が開始される以前は0であり($CN=0$)、継続期間 T_S が開始されると順次増加していき、4ビット分以降は一定値を維持し($CN=CN_S$)、継続期間 T_S の終了手前4ビット以降は、順次減少していく。

【0035】各振幅制御用メモリ19a、19bの[CN1]で示されるアドレスには例えば12ビットで示される振幅データ値が設定され、[CN0]で示されるアドレスには0の振幅データ値が設定されている。そして、[CN1]のアドレス値が大きくなると該当アドレスに記憶されている振幅データ値も増大する。

【0036】したがって、12ビットで量子化された各ベースバンドデータI、Qが各振幅制御用メモリ19a、19bの下位アドレスに印加される毎に、[CN1]又は[CN0]で指定されるアドレスに記憶されている各12ビットの振幅データが出力される。よって、図5に示すようなエンベロープ特性(振幅特性)を有した12ビット構成のベースバンドデータ I_D 、 Q_D がエンベロープ付加部19から出力される。

【0037】エンベロープ付加部19から出力されたベースバンドデータ I_D 、 Q_D を構成する12ビットの各

振幅データは、各D/A変換器20a, 20bでもってアナログの振幅データに変換される。よって、各D/A変換器20a, 20bから出力されるベースバンド信号 $I(t)$, $Q(t)$ は図5に示す振幅特性を有する。このベースバンド信号 $I(t)$, $Q(t)$ は直交変調器21へ入力される。

【0038】直交変調器21は例えば図3に示すように構成されている。中間周波数発振器21cから出力された周波数 f_I を有する中間周波数信号は、変調器21aにおいて、一方のベースバンド信号 $I(t)$ によって変調される。また、中間周波数発振器21cから出力された中間周波数信号は 90° 移相器21dによって $\pi/4$ だけ移相された後、変調器21bにおいて、他方のベースバンド信号 $Q(t)$ によって変調される。各変調器21a, 21bから出力された各位相変調信号は信号合成器21eで信号合成されて、QPSK信号(直交変調信号)hとして出力される。

【0039】直交変調器21から出力されたQPSK信号hは、次の例えばミキサ回路22aと周波数 f_C を有する搬送波周波数信号を出力する局部発振器22bからなる周波数変換回路22によって高周波に変換される。中間周波数 f_I から高周波の搬送周波数 f_C に周波数変換されたQPSK信号iは次の高周波スイッチ回路23へ入力される。

【0040】高周波スイッチ回路23は、拡張ゲート信号発生回路14から入力された拡張ゲート信号jがハイ(H)レベル期間 T_G のみ回路を導通し、拡張ゲート信号jがロー(L)レベル期間は回路を開放する。

【0041】拡張ゲート信号発生回路14は、図4に示すように、立下り位置カウンタ14aとRS型のフリップフロップ14bとで構成されている。RS型のフリップフロップ14bはゲート遅延回路24から出力された遅延ゲート信号mの立上りでセットされる。その結果、フリップフロップ14bのQ端子から出力される拡張ゲート信号jが立上がる。

【0042】遅延ゲート信号mが立下がると、立下り位置カウンタ14aがクロック信号aによって計時を開始する。そして、4ビットの所定時間の計時が終了すると、タイムアップ信号を出力する。前記フリップフロップ14bはこのタイムアップ信号でリセットされる。その結果、フリップフロップ14bのQ端子から出力される拡張ゲート信号jが立下がる。

【0043】図7に示すように、遅延ゲート信号mは、QPSK信号iの立上り開始時刻と一致して立上り、QPSK信号iの立下終了時刻の4ビット前に立下がっている。したがって、拡張ゲート信号発生回路14から出力される拡張ゲート信号jの拡張ゲート期間 T_G は、遅延ゲート信号mのゲート期間を後方へ4ビット分拡張した期間となり、高周波のQPSK信号iのバースト継続期間 T_S に等しい。

【0044】したがって、このバースト信号発生装置から出力されるバースト信号kは、図7に示すように、高周波スイッチ回路23の存在によって、拡張ゲート期間 T_G においては、周波数変換回路23から出力されるQPSK信号iとなり、拡張ゲート期間 T_G 以外の期間の信号レベルはほぼ零となる。

【0045】次に、このように構成されたバースト信号発生装置の特徴を説明する。

【0046】図7のタイムチャート及び図5のベースバンドデータ I_D , Q_D の振幅特性に示すように、1タイムスロット1内に収納される2値化表示のバーストデータeを、例えば12ビット構成の1対のベースバンドデータI, Qに変換した後、先端部と後端部の振幅データのみを順次増加及び順次低減させている。

【0047】したがって、このようなエンベロープ特性を有するベースバンドデータ I_D , Q_D から得られるバースト信号kの信号波形は、図7に示すように、滑らかに立上がり、滑らかに立下がる。

【0048】また、高周波スイッチ回路23は、バースト継続期間 T_S と一致したパルス幅 T_G を有する拡張ゲート信号jによってQPSK信号iをオン/オフ制御している。したがって、高周波スイッチ回路23の存在によって、バースト信号kの立上がり部分または立ち下がり部分が遮断されることはない。

【0049】図6はこのバースト信号発生装置から出力されるバースト信号kの周波数特性図である。図示するように、エンベロープ処理及び拡張ゲート時間 T_G を採用することによって、周波数帯域幅Wを図10(d)に示す従来のバースト信号3の周波数帯域幅 W_B に比較して大幅に縮小できる。したがって、隣接チャネルに対する漏洩電力を大幅に抑制できる。発明者の実験によると、図10(a)に示した連続信号4における漏洩電力とほぼ同等の値を得ることかできた。

【0050】また、高周波スイッチ回路23を挿入することによって、バースト信号kのオン期間とオフ期間との間におけるオン/オフ比は80dB以上となる。その結果、固定局における各バースト信号kを受信した場合におけるS/Nを大幅に向上できる。

【0051】

【発明の効果】以上説明したように本発明のバースト信号発生装置によれば、バーストデータ発生部から出力されるバーストデータの先端部及び終端部の各ビットデータの振幅データを漸増及び漸減させるエンベロープ処理を実施している。さらに、出力段に挿入された高周波スイッチ回路の導通時間をバーストデータの継続時間に等しく設定している。したがって、出力されるバースト信号のオン/オフ比を高い値に維持したままで、バースト信号の周波数占有帯域幅を大幅に低減でき、隣接チャネルに対する漏洩電力を極力抑制できる。

【図面の簡単な説明】

【図1】 本発明の一実施例に係わるバースト信号発生装置の概略構成を示すブロック図、

【図2】 同実施例装置のI/Qデータ発生部及びエンベロープ付加部の概略構成を示すブロック図、

【図3】 同実施例装置の直交変調器の概略構成を示すブロック図、

【図4】 同実施例装置の拡張ゲート信号発生回路図、

【図5】 同実施例装置におけるベースバンドデータの振幅特性図、

【図6】 同実施例装置のバースト信号の周波数特性図、

【図7】 同実施例装置の動作を示すタイムチャート、

【図8】 一般的なTDMA通信における伝送フレームと各タイムスロットとの関係を示す図、

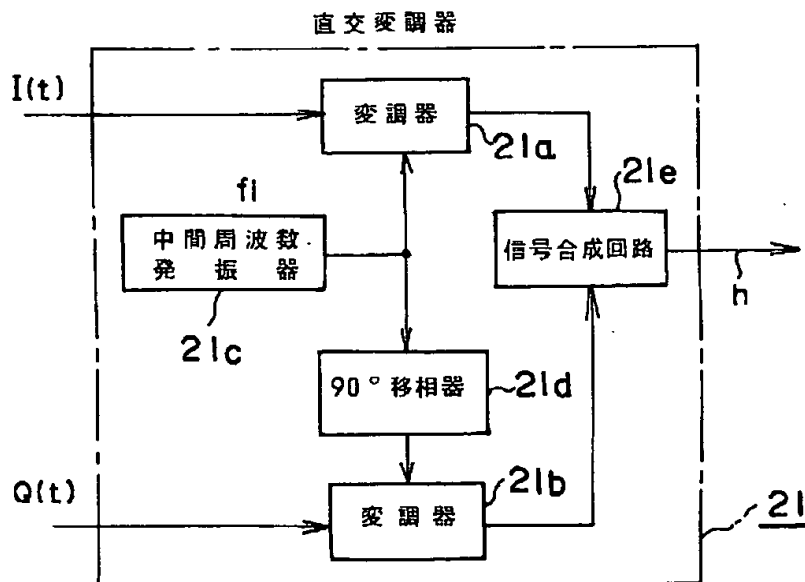
【図9】 従来のバーストデータとバースト信号との関係を示すタイムチャート、

【図10】 連続信号及びバースト信号と各信号の各周波数特性との比較を示す図。

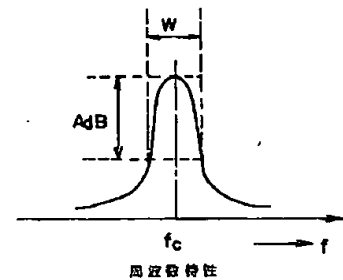
【符号の説明】

1…タイムスロット、11…クロック信号発生回路、12…連続データ発生部、13…バーストデータ発生回路、14…拡張ゲート信号発生回路、15…バースト開始信号発生回路、16、17…切換回路、18…I/Qデータ発生部、19…エンベロープ付加部、20a、20b…D/A変換器、21…直交変調器、22…周波数変換回路、23…高周波スイッチ回路、24…ゲート遅延回路。

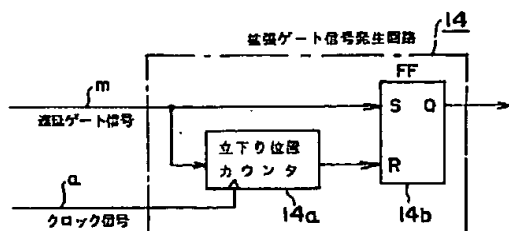
【図3】



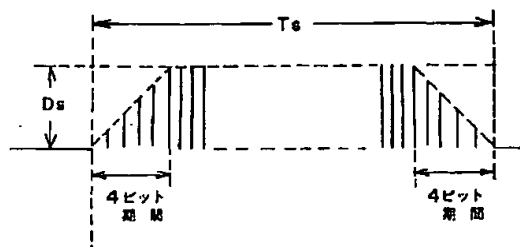
【図6】



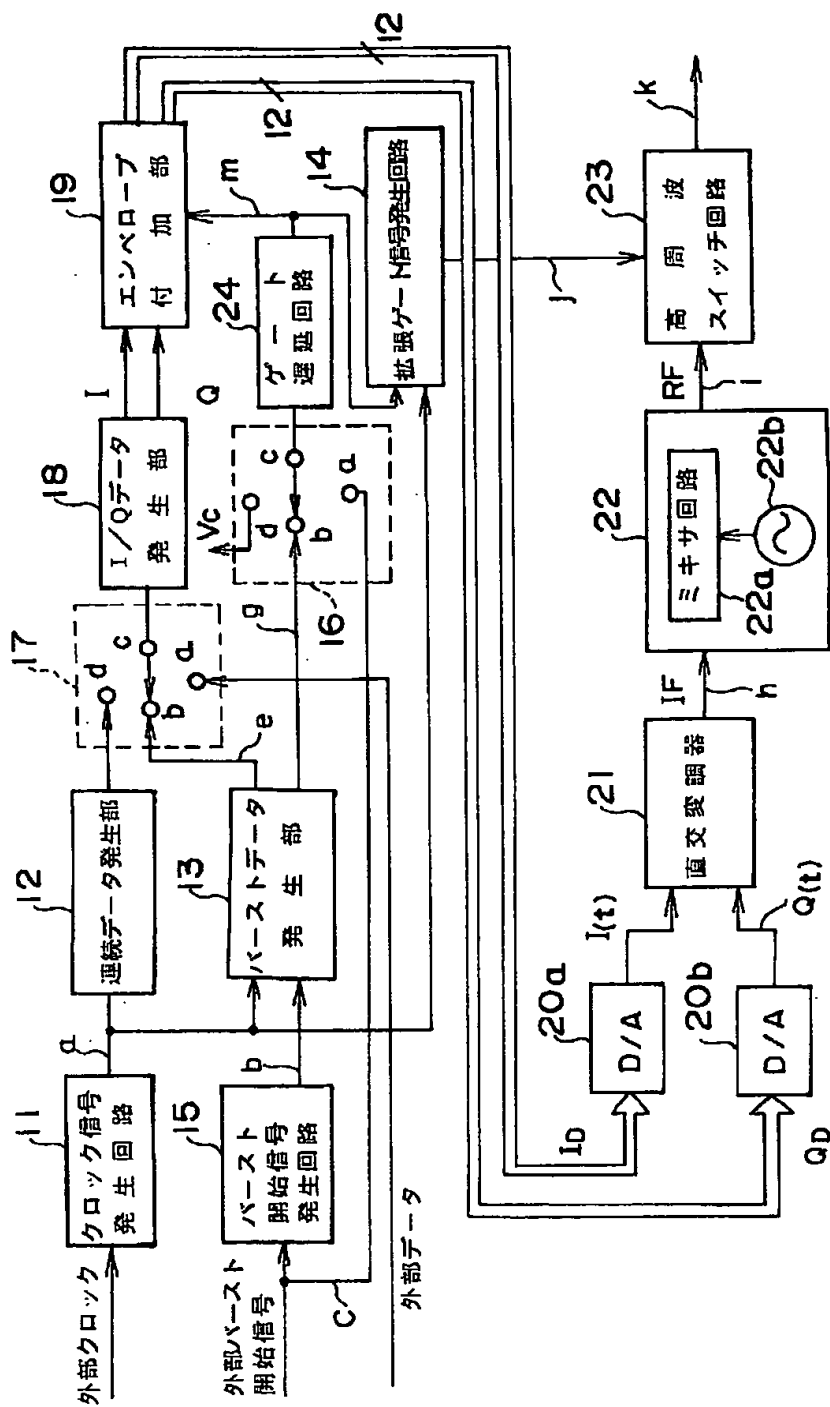
【図4】



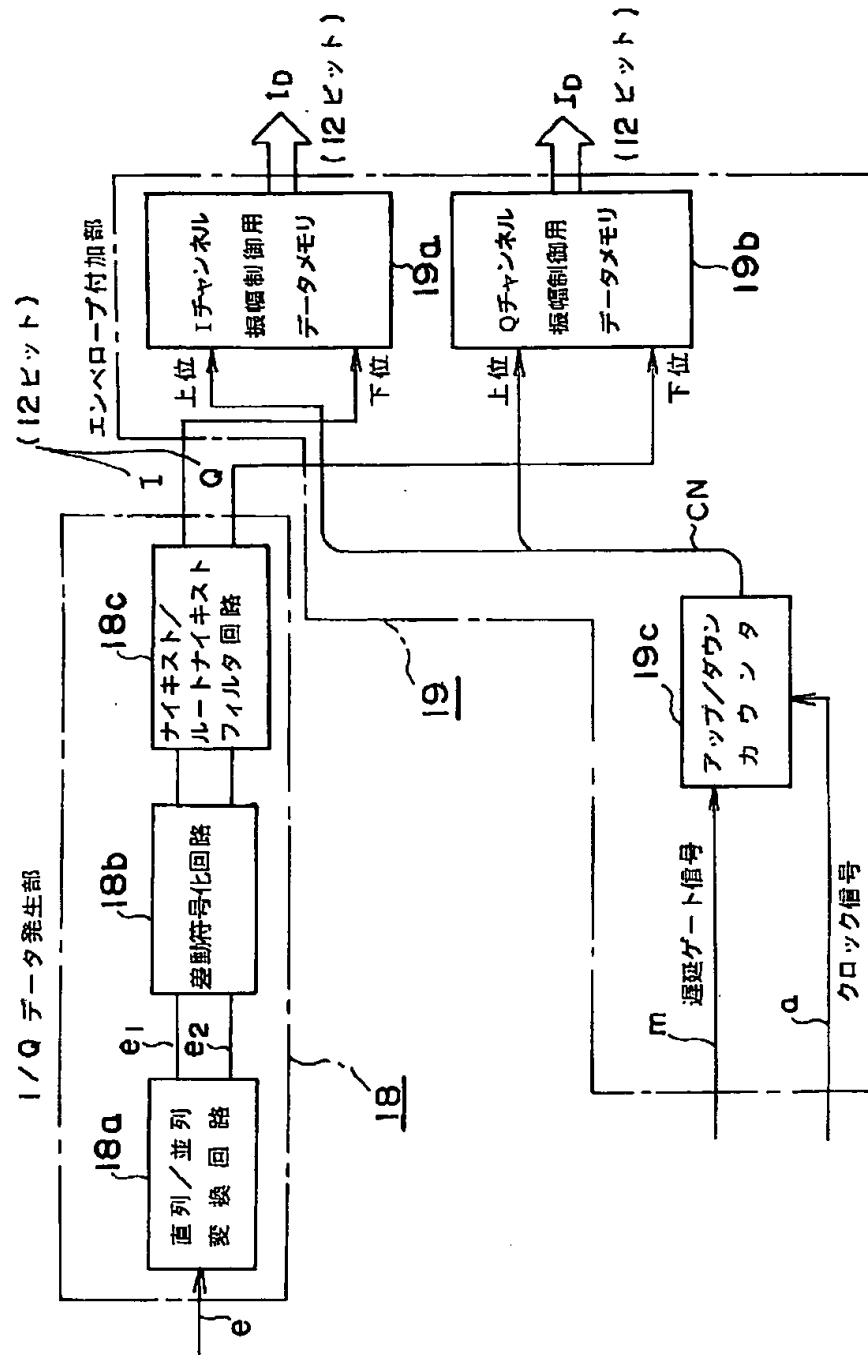
【図5】



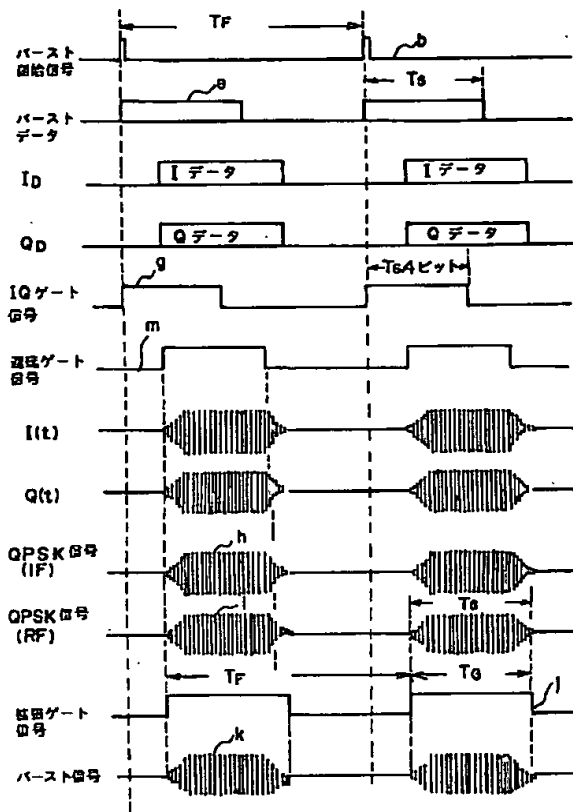
【圖 1】



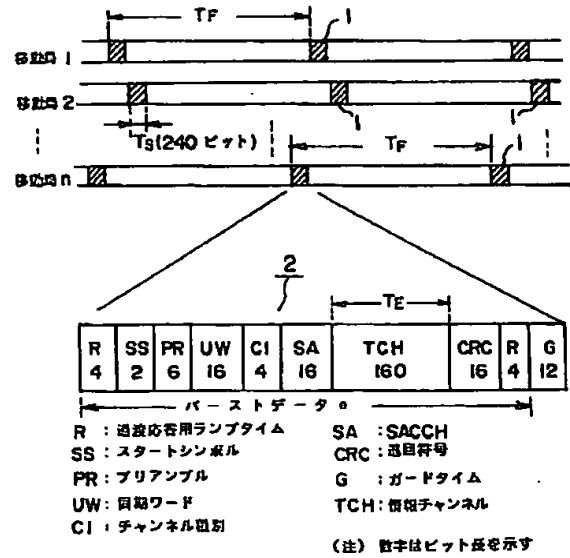
【図2】



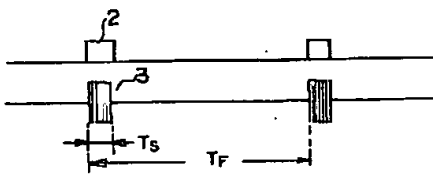
【図7】



【図8】



【図9】



【図10】

